

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1 9 9 9 年 8 月 1 9 日

出 願 番 号

Application Number:

平成 1 1 年 特 許 願 第 2 3 2 5 5 5 号

出 願 人

Applicant (s):

株式会社村田製作所



2 0 0 0 年 7 月 1 4 日

特 許 庁 長 官
Commissioner,
Patent Office

及 川 耕 造

出 証 番 号 出 証 特 2 0 0 0 - 3 0 5 5 3 7 3

【書類名】 特許願

【整理番号】 94

【提出日】 平成11年 8月19日

【あて先】 特許庁長官殿

【国際特許分類】 H04B 1/00

【発明者】

【住所又は居所】 京都府長岡京市天神二丁目 2 6 番 1 0 号 株式会社村田
製作所内

【氏名】 清水 友休

【特許出願人】

【識別番号】 000006231

【氏名又は名称】 株式会社村田製作所

【代表者】 村田 泰隆

【代理人】

【識別番号】 100093894

【弁理士】

【氏名又は名称】 五十嵐 清

【手数料の表示】

【予納台帳番号】 000480

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9004888

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ処理装置

【特許請求の範囲】

【請求項 1】 CPUと、読み取り専用記憶部であるROMと、格納済み情報の変更と情報の追加格納が可能なフラッシュメモリとを有し、上記CPUは上記ROMとフラッシュメモリに格納されている情報を利用してデータ処理を行うデータ処理装置であって、上記フラッシュメモリは上記CPUのデータ処理に用いる情報のうちの予め定められた変更可情報を格納する情報格納エリアと、該情報格納エリアに格納されている情報のアドレスが少なくとも格納されるアドレス格納エリアとを有し、上記情報格納エリアに格納されている変更可情報の変更と上記情報格納エリアへの変更可情報の追加との少なくとも一方が行われたときに、その情報の変更・追加に伴って上記アドレス格納エリアのアドレスの変更・追加を行うアドレス変更制御部が設けられており、上記CPUのデータ処理に用いる情報の変更・追加が自在であることを特徴とするデータ処理装置。

【請求項 2】 CPUと、読み取り専用記憶部であるROMと、格納済み情報の変更と情報の追加格納が可能なフラッシュメモリとを有し、上記CPUは上記ROMとフラッシュメモリに格納されている情報を利用してデータ処理を行うデータ処理装置であって、上記ROMには上記CPUのデータ処理に用いる情報が格納される情報格納エリアが形成され、また、上記フラッシュメモリには上記情報格納エリアに格納されている情報のうちの予め定められた変更可情報のアドレスが少なくとも格納されるアドレス格納エリアと、上記変更可情報が変更されて格納される変更後情報格納エリアとが形成されており、上記フラッシュメモリの変更後情報格納エリアに上記変更可情報の変更後の情報が格納されたときに、その情報の変更に伴って上記アドレス格納エリアのアドレスの変更を行うアドレス変更制御部が設けられており、上記CPUのデータ処理に用いる情報の変更が自在であることを特徴とするデータ処理装置。

【請求項 3】 CPUと、読み取り専用記憶部であるROMと、格納済み情報の変更と情報の追加格納が可能なフラッシュメモリとを有し、上記CPUは上記ROMとフラッシュメモリに格納されている情報を利用してデータ処理を行う

データ処理装置であって、上記ROMには上記CPUのデータ処理に用いる情報が格納される情報格納エリアが形成され、また、上記フラッシュメモリには上記情報格納エリアに格納されている情報の中の予め定められた変更可情報が変更されて格納される変更後情報格納エリアが形成されており、この変更後情報格納エリアに変更後の情報が格納されているか否かを判断する情報変更有無判断部が設けられており、この情報変更有無判断部により上記フラッシュメモリの変更後情報格納エリアに変更後の情報が格納されていると判断されたときには、上記CPUは、上記ROMの情報に代えて上記フラッシュメモリの変更後の情報に従ってデータ処理を行う構成と成していることを特徴とするデータ処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、CPUによるデータ処理が行われる通信装置等のデータ処理装置に関するものである。

【0002】

【従来の技術】

図3にはデータ処理装置であるPHS (Personal Handyphone System) の構成例がブロック図により示されている。この図3に示すPHS1は、無線ユニット(RFU)2と、ベースバンドIC(BBIC)3と、CPU4と、フラッシュメモリ5と、DTE I/F6と、アンテナ7とを有して構成されている。上記CPU4にはROM8が内蔵されており、このROM8には少なくともCPU4のデータ処理手順のメインプログラムや、データ処理に用いられる例えば関数(関数のサブルーチンのプログラム)等の情報と、上記関数や変数等の情報の格納位置を示すアドレスの情報と、CPU4の割り込み処理先のアドレスである割り込みベクタとが記憶されている。また、フラッシュメモリ5にもデータ処理に用いられる情報が格納されている。

【0003】

上記PHS1では、アンテナ7により信号が受信されると、上記RFU2とBBIC3によって上記受信信号から所定の情報(データ)が取り出されてCPU

4に加えられる。CPU 4はその加えられた情報（データ）と、上記ROM 8に格納されている情報と、フラッシュメモリ 5に格納されている情報とに基づいて、データ処理を行う。

【0004】

また、送信したい情報がCPU 4からBBIC 3に出力されると、その情報はBBIC 3とRFU 2によって送信信号に乘せられてアンテナ 7から外部に送信される。

【0005】

【発明が解決しようとする課題】

ところで、上記ROM 8は高速アクセス処理が可能な記憶装置である。このため、ROM 8に、CPU 4のメインプログラムや関数等の情報や、アドレス情報を格納することで、CPU 4のデータ処理の高速化を図っている。

【0006】

しかしながら、上記ROM 8は読み取り専用の記憶部であり、格納済み情報の変更ができないものである。このことから、従来のように、ROM 8にメインプログラムや関数等を格納している場合には、そのメインプログラムや関数等の情報の変更を行うことができず、データ処理のバージョンアップを図ることができないという問題があった。

【0007】

本発明は上記課題を解決するために成されたものであり、その目的は、CPUのデータ処理に用いるメインプログラムや関数等の情報の変更が自在で、データ処理のバージョンアップが可能なデータ処理装置を提供することにある。

【0008】

【課題を解決するための手段】

上記目的を達成するために、この発明は次に示す構成をもって前記課題を解決するための手段としている。すなわち、第1の発明は、CPUと、読み取り専用記憶部であるROMと、格納済み情報の変更と情報の追加格納が可能なフラッシュメモリとを有し、上記CPUは上記ROMとフラッシュメモリに格納されている情報を利用してデータ処理を行うデータ処理装置であって、上記フラッシュメ

モリは上記CPUのデータ処理に用いる情報のうちの予め定められた変更可情報を格納する情報格納エリアと、該情報格納エリアに格納されている情報のアドレスが少なくとも格納されるアドレス格納エリアとを有し、上記情報格納エリアに格納されている変更可情報の変更と上記情報格納エリアへの変更可情報の追加との少なくとも一方が行われたときに、その情報の変更・追加に伴って上記アドレス格納エリアのアドレスの変更・追加を行うアドレス変更制御部が設けられており、上記CPUのデータ処理に用いる情報の変更・追加が自在である構成をもって前記課題を解決する手段としている。

【0009】

第2の発明は、CPUと、読み取り専用記憶部であるROMと、格納済み情報の変更と情報の追加格納が可能なフラッシュメモリとを有し、上記CPUは上記ROMとフラッシュメモリに格納されている情報を利用してデータ処理を行うデータ処理装置であって、上記ROMには上記CPUのデータ処理に用いる情報が格納される情報格納エリアが形成され、また、上記フラッシュメモリには上記情報格納エリアに格納されている情報のうちの予め定められた変更可情報のアドレスが少なくとも格納されるアドレス格納エリアと、上記変更可情報が変更されて格納される変更後情報格納エリアとが形成されており、上記フラッシュメモリの変更後情報格納エリアに上記変更可情報の変更後の情報が格納されたときに、その情報の変更に伴って上記アドレス格納エリアのアドレスの変更を行うアドレス変更制御部が設けられており、上記CPUのデータ処理に用いる情報の変更が自在である構成をもって前記課題を解決する手段としている。

【0010】

第3の発明は、CPUと、読み取り専用記憶部であるROMと、格納済み情報の変更と情報の追加格納が可能なフラッシュメモリとを有し、上記CPUは上記ROMとフラッシュメモリに格納されている情報を利用してデータ処理を行うデータ処理装置であって、上記ROMには上記CPUのデータ処理に用いる情報が格納される情報格納エリアが形成され、また、上記フラッシュメモリには上記情報格納エリアに格納されている情報の中の予め定められた変更可情報が変更されて格納される変更後情報格納エリアが形成されており、この変更後情報格納エリ

アに変更後の情報が格納されているか否かを判断する情報変更有無判断部が設けられており、この情報変更有無判断部により上記フラッシュメモリの変更後情報格納エリアに変更後の情報が格納されていると判断されたときには、上記CPUは、上記ROMの情報に代えて上記フラッシュメモリの変更後の情報に従ってデータ処理を行う構成と成している構成をもって前記課題を解決する手段としている。

【0011】

上記構成の発明において、例えば、フラッシュメモリ、つまり、格納済み情報の変更と情報の追加が可能な記憶部に情報格納エリアを形成することにより、その情報格納エリアに格納されている情報の変更および情報格納エリアへの情報の追加が可能となる。

【0012】

上記情報格納エリアの情報の変更や情報の追加を行った場合に、その変更・追加に伴って情報格納エリアにおける情報の格納位置が変更される場合がある。このような場合に、アドレス格納エリアのアドレス情報を変更しないと、所望の情報を正確に上記情報格納エリアから読み出すことができないという問題が生じる。

【0013】

これに対して、アドレス格納エリアを上記フラッシュメモリに形成することで、アドレス格納エリアのアドレスの変更・追加が可能となり、その上、アドレス変更制御部を設けることで、該アドレス変更制御部により上記情報格納エリアの情報の変更・追加に伴った上記アドレス格納エリアのアドレスの変更・追加が行われることとなる。これにより、CPUは、データ処理中に、上記フラッシュメモリのアドレス格納エリアのアドレスを参照して、所望の情報をフラッシュメモリの情報格納エリアから正確に読み出すことができる。

【0014】

上記のように、フラッシュメモリを利用することで、データ処理に用いる情報の変更・追加が可能となり、かつ、変更・追加の情報を正確に読み出すことができることとなり、データ処理装置に、変更後の情報に基づいた所望の変更後の制

御動作を行わせることが可能となる。つまり、データ処理装置のデータ処理のバージョンアップが可能となる。

【0015】

【発明の実施の形態】

以下に、この発明に係る実施形態例を図面に基づいて説明する。

【0016】

図1には第1の実施形態例のデータ処理装置であるPHSにおいて特徴的な主要構成部分の実線により示されている。なお、この第1の実施形態例の説明において、前記従来例と同一構成部分には同一符号を付し、その共通部分の重複説明は省略する。

【0017】

この第1の実施形態例に示すPHSでは、図3に示す構成が備えられていると共に、データ処理に用いられる変更可情報である関数の変更が可能で、かつ、変更が成された後には変更前の関数ではなく、変更後の関数が正しく読み出されてデータ処理に用いられることを可能とする構成が設けられている。また、この第1の実施形態例では、上記関数の変更に伴って、データ処理に用いられる変数の格納位置が変更される場合があることから、変数アドレスの変更が可能な構成を備え、さらに、割り込み処理先のアドレスである割り込みベクタの変更をも可能とする構成が設けられている。

【0018】

すなわち、この第1の実施形態例では、図1の実線に示すように、CPU4はROM8とデータ処理部9とアドレス変更制御部10と情報書き込み部11を有して構成されている。また、フラッシュメモリ5にはアドレス格納エリア12と情報格納エリアである関数格納エリア13が形成されている。さらに、RAM14が設けられ、該RAM14には変数を1つ以上格納する変数格納エリア15が形成されている。さらにまた、上記CPU4のROM8にはCPU4のデータ処理手順のメインプログラムが格納されるメインメインプログラム格納エリア16が形成されている。

【0019】

この第 1 の実施形態例では、上記フラッシュメモリ 5 のアドレス格納エリア 1 2 には、割り込みベクタが 1 つ以上格納される割り込みベクタテーブルエリア 1 2 a と、関数アドレスが 1 つ以上格納される関数アドレステーブルエリア 1 2 b と、変数アドレスが 1 つ以上格納される変数アドレステーブルエリア 1 2 c とが形成されている。上記関数格納エリア 1 3 には 1 つ以上の関数の情報が格納される。

【 0 0 2 0 】

上記 CPU 4 のデータ処理部 9 は ROM 8 のメインプログラム格納エリア 1 6 に格納されているメインプログラムに従ってデータ処理を行う。このデータ処理中には、必要に応じて、フラッシュメモリ 5 のアドレス格納エリア 1 2 に格納されている関数アドレスや変数アドレスを参照して関数格納エリア 1 3 や変数格納エリア 1 5 から関数や変数を読み出してデータ処理に用いたり、また、上記アドレス格納エリア 1 2 の割り込みベクタを参照して割り込み処理先のプログラムを読み出して割り込み処理を行う。

【 0 0 2 1 】

情報書き込み部 1 1 は、例えば、キーボード等の外部情報入力手段 1 7 を利用して上記関数の追加情報が外部入力されたことを検知したときには、その関数の追加情報を関数格納エリア 1 3 の空白領域に書き込む。

【 0 0 2 2 】

また、関数格納エリア 1 3 に格納されている関数を変更したい場合に、人が上記外部情報入力手段 1 7 を用いて変更後の関数の情報を外部入力した場合には、情報書き込み部 1 1 は、その変更後の関数が外部入力されたことを検知して、例えば次に示す 2 つの手法の何れか一方の手法により変更後の関数を関数格納エリア 1 3 に書き込む。第 1 の手法は、変更後の関数を変更前の関数に上書き格納する手法である。また、第 2 の手法は、変更後の関数を変更前の関数と異なる空白領域に格納する手法である。

【 0 0 2 3 】

ところで、上記のように、関数格納エリア 1 3 に関数の情報が追加された場合や、変更後の関数を変更前の関数と異なる領域に格納された場合や、上記関数の

追加・変更に伴って変数アドレスが変更される場合に、アドレス格納エリア 1 2 のアドレスの追加・変更が行われないと、追加・変更後の関数や所望の変数を正確に読み出すことができないという問題が生じる。

【 0 0 2 4 】

そこで、この第 1 の実施形態例では、上記問題発生を防止するためにアドレス変更制御部 1 0 を設けた。このアドレス変更制御部 1 0 は、例えば、上記関数の変更・追加に伴った関数アドレスや変数アドレスの変更・追加のアドレス情報が外部情報入力手段 1 7 を用いて外部入力されたことを検知したときには、その外部入力のアドレス情報が変更・追加された修正部分のみの情報であるのか、アドレス格納エリア 1 2 を全て書き換えるためのアドレス情報であるのかを判断する。

【 0 0 2 5 】

そして、上記アドレス変更制御部 1 0 は、外部入力のアドレス情報が修正部分のみの情報であると判断したときには、情報書き込み部 1 1 を動作させて、アドレス格納エリア 1 2 における変更対象のアドレスを上記外部入力されたアドレスに更新格納させる、あるいは、上記外部入力されたアドレスをアドレス格納エリア 1 2 の空白領域に書き込みでアドレスの追加を行わせる。

【 0 0 2 6 】

また、上記アドレス変更制御部 1 0 は、外部入力されたアドレス情報がアドレス格納エリア 1 2 を全て書き換えるためのアドレス情報であると判断したときには、情報書き込み部 1 1 を動作させて、アドレス格納エリア 1 2 のアドレス情報を全て上記外部入力されたアドレス情報に書き換える。

【 0 0 2 7 】

さらに、割り込みベクタを追加・変更するために、外部情報入力手段 1 7 によって、その割り込みベクタの追加・変更の情報が外部入力された場合にも、上記アドレス変更制御部 1 0 は、上記同様に、外部入力されたアドレス情報が追加・変更の修正部分のみの情報であるのか、アドレス格納エリア 1 2 を全て書き換えるためのアドレス情報であるのかを判断する。そして、アドレス変更制御部 1 0 は、情報書き込み部 1 1 を動作させ、上記判断動作に基づいてアドレス格納エリ

ア 1 2 に割り込みベクタを追加させたり、アドレス格納エリア 1 2 の変更対象の割り込みベクタを上記外部入力された変更後の割り込みベクタに更新させたり、アドレス格納エリア 1 2 を上記外部入力のアドレス情報に全て書き換えて割り込みベクタの変更・追加を行わせる。

【 0 0 2 8 】

この第 1 の実施形態例によれば、情報の変更・追加が自在なフラッシュメモリ 5 に関数格納エリア 1 3 を設けたので、関数格納エリア 1 3 の関数を変更したり、関数を追加することが可能となった。

【 0 0 2 9 】

また、この第 1 の実施形態例では、上記フラッシュメモリ 5 にアドレス格納エリア 1 2 を設け、さらに、アドレス変更制御部 1 0 を設けたので、上記関数の変更・追加に伴って関数アドレスの変更・追加や、また、その関数の変更・追加に伴った変数アドレスの変更・追加を行うことが可能となった。これにより、関数の変更・追加が成されたのにも拘わらず、変更・追加の関数を正確に読み出すことができないという問題や、所望の変数を正確に読み出すことができず、このために、正しいデータ処理が成されないという問題を回避することができる。

【 0 0 3 0 】

さらに、この第 1 の実施形態例では、上記フラッシュメモリ 5 のアドレス格納エリア 1 2 に割り込みベクタテーブルエリア 1 2 a を設けたので、必要に応じて、割り込みベクタの変更・追加をも可能である。

【 0 0 3 1 】

上記のように、この第 1 の実施形態例では、データ処理に用いる関数の変更・追加、および、その関数の変更・追加に伴った関数アドレスと変数アドレスの変更・追加、さらに、割り込みベクタの変更・追加を自在に行うことができる構成を備えていることから、データ処理装置に、所望の変更後のデータ処理動作を行わせることが可能となる。つまり、データ処理のバージョンアップが可能なデータ処置装置を提供することができる。

【 0 0 3 2 】

以下に、第 2 の実施形態例を説明する。なお、この第 2 の実施形態例の説明に

において、前記第 1 の実施形態例と同一構成部分には同一符号を付し、その共通部分の重複説明は省略する。

【0033】

この第 2 の実施形態例が前記第 1 の実施形態例と異なる最も特徴的なことは、図 2 の実線に示すように、ROM 8 に関数を格納する情報格納エリアである関数格納エリア 2 0 が形成されていることと、フラッシュメモリ 5 には関数格納エリア 1 3 に代えて、変更後情報格納エリアである変更後関数格納エリア 2 1 が形成されていることである。それ以外の構成は前記第 1 の実施形態例とほぼ同様である。

【0034】

情報書き込み部 1 1 は、外部入力手段 1 7 を用いて変更後の関数の情報や追加の関数の情報が外部入力されたことを検知したときには、その変更・追加の関数を変更後関数格納エリア 2 1 に書き込んでいく。なお、この際、上記外部入力された関数の情報が既に変更後関数格納エリア 2 1 に格納されている関数を変更するための情報である場合には、その変更後関数格納エリア 2 1 における変更前の関数を上記変更後の関数に更新格納してもよいし、変更後関数格納エリア 2 1 の変更前の関数とは異なる格納位置に上記変更後の関数を書き込んでもよい。

【0035】

前記第 1 の実施形態例でも述べたように、関数が追加・変更されたのにも拘わらず、アドレス格納エリア 1 2 のアドレスが変更前のままであると、変更前の情報が読み出されたり、追加された情報を読み出すことができないという問題が生じる。そこで、この第 2 の実施形態例においても、アドレス変更制御部 1 0 によって、前記第 1 の実施形態例と同様に、アドレス格納エリア 1 2 のアドレスの変更・追加が行われて、上記アドレス未変更に起因した問題発生を確実に回避することができる。

【0036】

この第 2 の実施形態例によれば、読み取り専用の ROM 8 に関数格納エリア 2 0 が設けられているが、情報の変更・追加が可能なフラッシュメモリ 5 に変更後関数格納エリア 2 1 を形成したので、変更・追加の関数の情報を変更後関数格納

エリア 2 1 に格納させることで、変更・追加の関数をデータ処理装置に保持させることができることとなる。また、アドレス変更制御部 1 0 が設けられているので、該アドレス変更制御部 1 0 によって、上記関数の変更・追加に伴ってアドレス格納エリア 1 2 の関数アドレスを変更・追加することができ、変更・追加された関数を正確に変更後関数格納エリア 2 1 から読み出すことができる。

【 0 0 3 7 】

また、この第 2 の実施形態例では、変更が成されていない関数は ROM 8 の関数格納エリア 2 0 から読み出される構成である。上記 ROM 8 はフラッシュメモリ 5 に比べて高速アクセス処理が可能であることから、変更が成されていない関数は ROM 8 から読み出されることにより、関数の全てがフラッシュメモリ 5 から読み出される場合に比べて、データ処理の高速化を図ることが可能となる。

【 0 0 3 8 】

以下に、第 3 の実施形態例を説明する。なお、この第 3 の実施形態例の説明において、前記各実施形態例と同一構成部分には同一符号を付し、その共通部分の重複説明は省略する。

【 0 0 3 9 】

この第 3 の実施形態例において特徴的なことは、図 1 や図 2 の点線に示すように、フラッシュメモリ 5 に変更後情報格納エリアである変更後メインプログラム格納エリア 2 2 を形成し、かつ、CPU 4 にメインプログラム変更有無判断部 2 3 を設けたことである。それ以外の構成は前記各実施形態例とほぼ同様である。

【 0 0 4 0 】

この第 3 の実施形態例では、上記 ROM 8 のメインプログラム格納エリア 1 6 に格納されているメインプログラムを変更したい場合に、外部情報入力手段 1 7 を利用して変更後のメインプログラムが外部入力されると、情報書き込み部 1 1 は、その変更後のメインプログラムが外部入力されたことを検知して、その変更後のメインプログラムを上記変更後メインプログラム格納エリア 2 2 に格納する。この際、例えば、変更後のメインプログラムが上記変更後メインプログラム格納エリア 2 2 に格納されていることを示すフラグが立てられる。

【 0 0 4 1 】

上記メインプログラム変更有無判断部 2 3 は、データ処理部 9 から発せられるメインプログラム変更有無判断指令に従って上記変更後メインプログラム格納エリア 2 2 に変更後のメインプログラムが格納されているか否かを上記フラグに基づいて判断する。

【 0 0 4 2 】

この第 3 の実施形態例では、上記データ処理部 9 が上記メインプログラム変更有無判断指令を発するタイミングは ROM 8 のメインプログラムに予め書き込まれている。例えば、ROM 8 のメインプログラム全体の変更が想定される場合には、上記 ROM 8 のメインプログラムの先頭に上記メインプログラム変更有無判断指令を発する命令が書き込まれる。

【 0 0 4 3 】

この場合には、データ処理部 9 は、ROM 8 のメインプログラムに従った動作を開始したときに上記メインプログラム変更有無判断指令を発して上記メインプログラム変更有無判断部 2 3 により上記変更メインプログラム有無判断動作を行わせることとなる。そして、データ処理部 9 は、その判断結果により変更後のメインプログラムが上記変更後メインプログラム格納エリア 2 2 に格納されていることを検知したときには、上記 ROM 8 に格納されているメインプログラムに代えて、上記変更後メインプログラム格納エリア 2 2 に格納されている変更後のメインプログラムに従ってデータ処理を行う。

【 0 0 4 4 】

また、ROM 8 のメインプログラムの部分的な変更が想定される場合には、上記 ROM 8 のメインプログラムにおける予め定められた 1 箇所以上の変更可プログラム部分の先頭に上記メインプログラム変更有無判断指令を発する命令が書き込まれる。

【 0 0 4 5 】

この場合には、データ処理部 9 は、上記変更可プログラム部分に従った動作を行う前に、上記メインプログラム変更有無判断部 2 3 により上記メインプログラム変更有無判断動作を行わせる。そして、データ処理部 9 は、上記判断結果によって、上記変更可プログラム部分の変更後のプログラムが上記変更後メインプロ

グラム格納エリア 2 2 に格納されていることを検知したときには、上記 ROM 8 のメインプログラムにおける変更可プログラム部分に代えて、上記変更後メインプログラム格納エリア 2 2 の変更後のプログラムに従ってデータ処理を行う。その後、データ処理部 9 は、上記変更後のプログラムに基づいた動作が終了したときには、ROM 8 のメインプログラムに基づいたデータ処理動作に戻るようになる。

【 0 0 4 6 】

この第 3 の実施形態例によれば、前記各実施形態例と同様の構成に加えて、フラッシュメモリ 5 に変更後メインプログラム格納エリア 2 2 を設けたので、前記各実施形態例と同様にアドレス情報と関数の変更・追加が可能である上に、メインプログラムの変更も可能となる。また、メインプログラム変更有無判断部 2 3 を設けたので、変更後のメインプログラムが与えられたときには、メインプログラム変更有無判断部 2 3 の判断動作に基づいて、変更前のメインプログラムではなく、変更後のメインプログラムに従ってデータ処理を行うことができることとなり、変更後のメインプログラムを与えたのにも拘わらず変更前のメインプログラムに従ってデータ処理が行われてしまうという問題を確実に防止することができる。

【 0 0 4 7 】

なお、この発明は上記各実施形態例に限定されるものではなく、様々な実施の形態を採り得る。例えば、上記各実施形態例では、ROM 8 は CPU 4 に内蔵されていたが、CPU 4 の外に ROM 8 を設けてもよい。また、上記各実施形態例では、アドレス格納エリア 1 2 には割り込みベクタテーブルエリア 1 2 a と関数アドレステーブルエリア 1 2 b と変数アドレステーブルエリア 1 2 c が形成されていたが、割り込みベクタを変更しないと想定される場合には上記フラッシュメモリ 5 に上記割り込みベクタテーブルエリア 1 2 a を設けなくともよい。また、変数アドレスに変更・追加が無いと想定される場合には上記フラッシュメモリ 5 に変数アドレステーブルエリア 1 2 c を設けなくともよい。

【 0 0 4 8 】

さらに、上記第 1 や第 2 の各実施形態例では、関数のみの変更可情報として定

められていたが、関数以外の情報も変更可情報として定めてもよい。この場合には、上記アドレス格納エリア 1 2 には、その関数以外の変更可情報のアドレスを格納するエリアが設けられることとなる。

【 0 0 4 9 】

さらに、上記第 2 の実施形態例では、ROM 8 に格納されている関数に変更されて該変更後の関数がフラッシュメモリ 5 の変更後関数格納エリア 2 1 に格納されたときには、その変更前のアドレス格納エリア 1 2 の関数アドレスを変更後の関数アドレスに変更することで、変更後の関数を正確に読み出させる構成であったが、次に示す構成を設けて、変更後の関数を正確に読み出させる構成としてもよい。

【 0 0 5 0 】

例えば、変更後関数格納エリア 2 1 に格納されている関数のアドレスが格納される変更後関数アドレステーブルエリアを設け、また、その変更後関数アドレステーブルエリアを参照して変更後の関数に変更後関数格納エリアに格納されているか否かを判断する変更後情報有無判断部である変更後関数有無判断部を設ける。さらに、関数を読み出す前に変更後関数有無判断指令を発する命令を ROM 8 のメインプログラムに書き込んでおく。

【 0 0 5 1 】

これにより、データ処理部 9 は、ROM 8 のメインプログラムに従ったデータ処理中において、関数を読み出す前に、上記変更後関数有無判断部によって変更後関数格納エリア 2 1 に変更後の関数が格納されているか否かの判断を行わせる。そして、この判断の結果、データ処理部 9 は、変更後関数格納エリア 2 1 に変更後の関数が格納されていることを検知したときには、ROM 8 の関数格納エリア 2 0 の関数に代えて、上記変更後の関数を用いてデータ処理を行う。このような構成により、変更後の関数を正確に読み出させてもよい。

【 0 0 5 2 】

さらに、上記第 3 の実施形態例では、上記第 1 又は第 2 の実施形態例の構成に加えて、メインプログラム変更有無判断部 2 3 と、変更後メインプログラム格納エリア 2 2 とが設けられていたが、例えば、メインプログラムの変更のみが想定

される場合には、第 1 や第 2 の実施形態例において特徴的なフラッシュメモリ 5 にアドレス格納エリア 1 2 と、関数格納エリア 1 3 又は変更後関数格納エリア 2 1 とが形成され構成や、CPU 4 にアドレス変更制御部 1 0 が設けられる構成は、省略してもよい。そのような場合には、アドレス格納エリア 1 2 は ROM 8 に形成されることとなる。

【0053】

さらに、上記各実施形態例では、PHS を例にして説明したが、この発明は PHS に限定されるものではなく、データ処理を行う機能を備えた装置に適用することが可能なものであり、例えば、PHS 以外の携帯型の電話機等の通信装置や、通信装置以外のデータ処理装置等にも適用することが可能である。

【0054】

【発明の効果】

この発明によれば、格納済み情報の変更と情報の追加が可能なフラッシュメモリが設けられており、このフラッシュメモリに情報格納エリアや変更後情報格納エリアを設けることで、上記情報格納エリアに格納されている関数等の情報を変更したり、追加することができることとなる。

【0055】

また、アドレス格納エリアをフラッシュメモリに形成し、かつ、アドレス変更制御部を設けることにより、上記情報格納エリアの情報の変更や情報の追加に伴って、その情報のアドレスの変更・追加を行うことができる。このことにより、CPU は、変更後の情報や、追加された情報を正しく読み出すことができ、CPU に、所望の変更後のデータ処理動作を行わせることができる。

【0056】

さらに、フラッシュメモリに変更後情報格納エリアが形成され、また、その変更後情報格納エリアに変更後の情報が格納されたか否かを判断する情報変更有無判断部が設けられ、この情報変更有無判断部により変更後の情報が変更後情報格納エリアに格納されていることが検知されたときには CPU はその変更後の情報に基づいてデータ処理を行う構成としたものにあっても、上記同様に、データ処理に用いる情報の変更ができ、しかも、変更前の情報ではなく、変更された情報

に基づいて所望の変更後のデータ処理動作を行わせることができるという効果を得ることができる。

【0057】

上記のように、この発明を備えることで、データ処理に用いる情報の変更・追加を行うことができ、かつ、その変更・追加の情報を用いた所望の変更後のデータ処理動作を正しく行わせることができることから、データ処理のバージョンアップが可能なデータ処理装置を提供することが可能となる。

【図面の簡単な説明】

【図1】

第1と第3の各実施形態例において特徴的な主要構成部分を示すブロック構成図である。

【図2】

第2と第3の各実施形態例において特徴的な主要構成部分を示すブロック構成図である。

【図3】

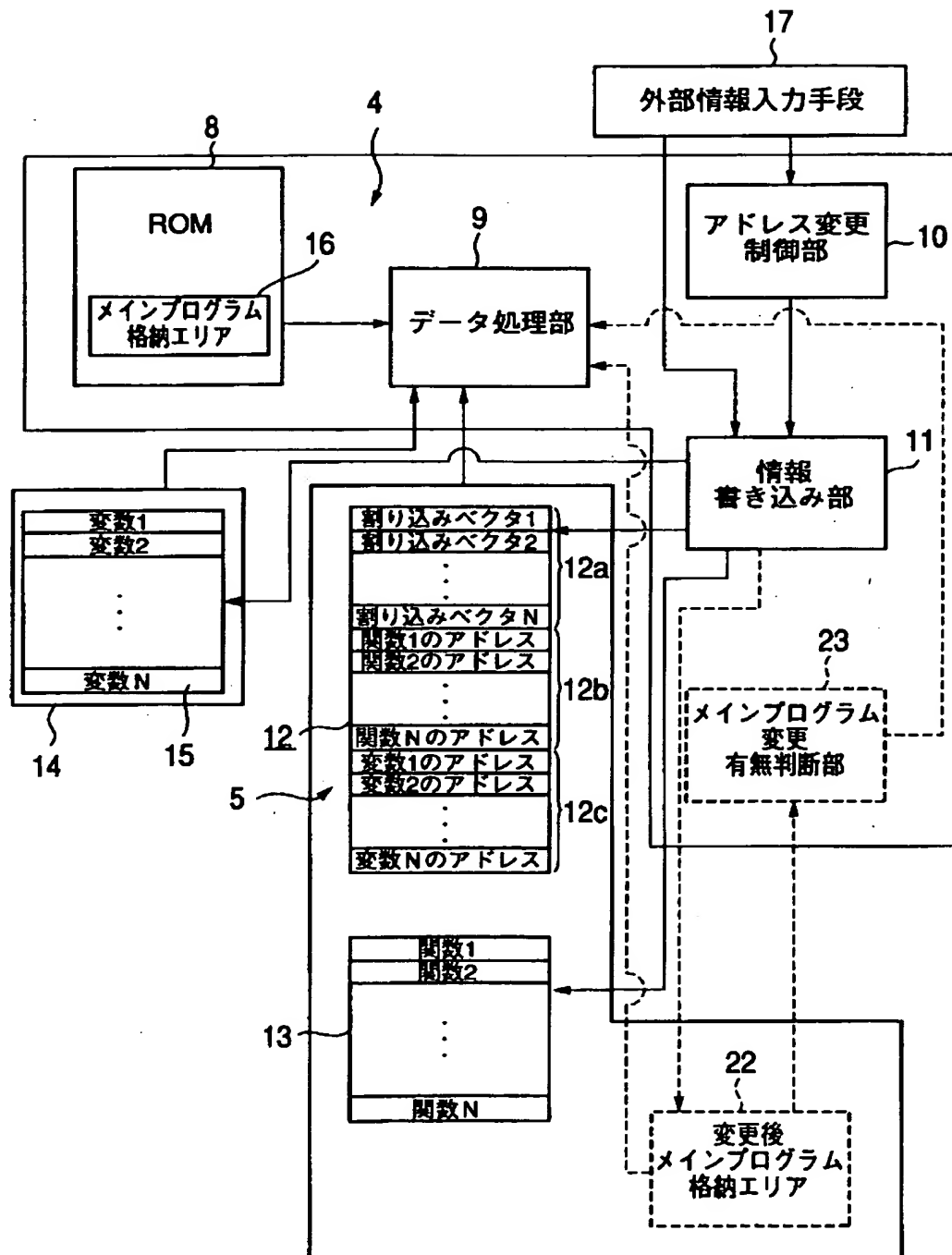
データ処理装置の構成例を示す説明図である。

【符号の説明】

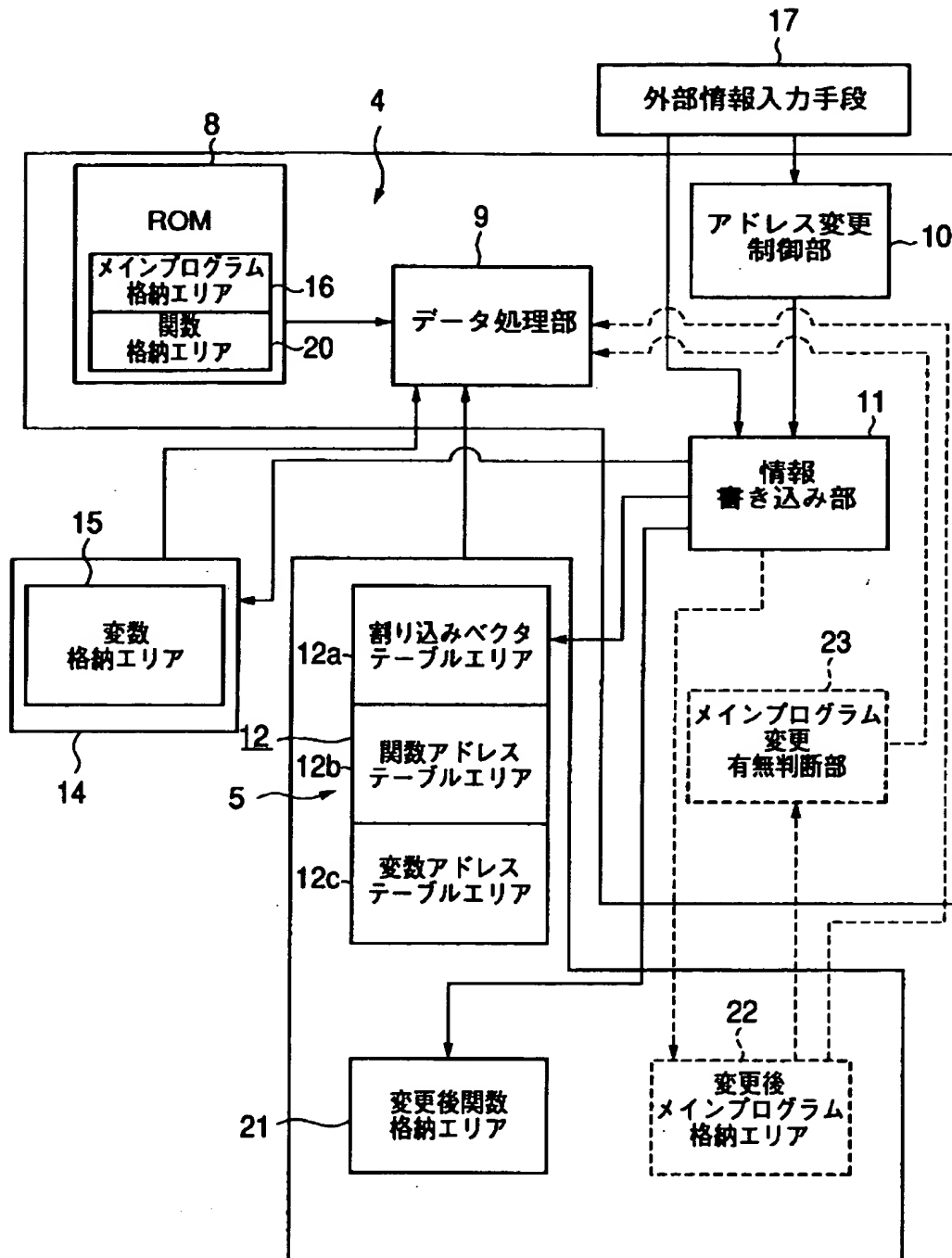
- 1 PHS
- 4 CPU
- 5 フラッシュメモリ
- 8 ROM
- 10 アドレス変更制御部
- 12 アドレス格納エリア
- 13, 20 関数格納エリア
- 16 メインプログラム格納エリア
- 21 変更後関数格納エリア
- 22 変更後メインプログラム格納エリア
- 23 メインプログラム変更有無判断部

【書類名】 図面

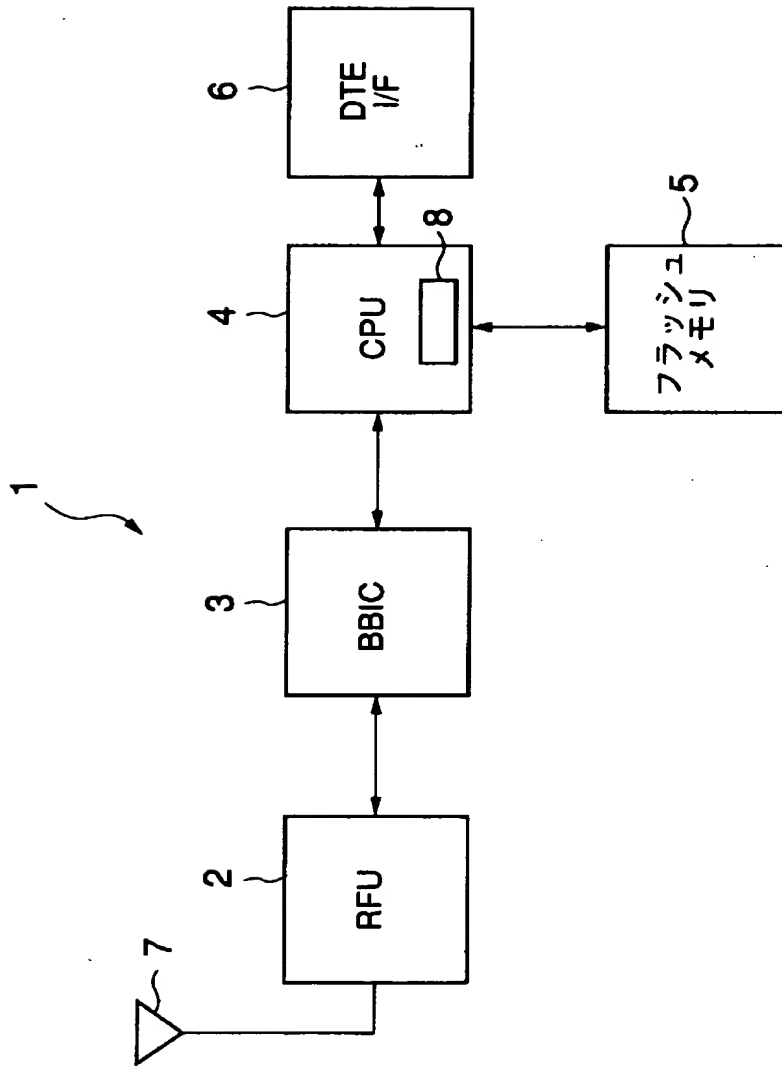
【図 1】



【図 2】



【図 3】



【書類名】 要約書

【要約】

【課題】 CPUのデータ処理のバージョンアップを可能とする。

【解決手段】 格納済み情報の変更と情報の追加が可能なフラッシュメモリ 5 を設ける。フラッシュメモリ 5 にアドレス格納エリア 1 2 と関数格納エリア 1 3 を形成する。外部入力手段 1 7 を用いて変更・追加の関数の情報が外部入力されたときには、情報書き込み部 1 1 は、その変更・追加の関数の情報を関数格納エリア 1 3 に書き込む。アドレス変更制御部 1 0 は、上記情報格納エリア 1 3 の情報の変更・追加に伴ってアドレス格納エリア 1 2 のアドレスの変更・追加を行う。このように、フラッシュメモリ 5 にアドレス格納エリア 1 2 と関数格納エリア 1 3 を設けたので、アドレス格納エリア 1 2 のアドレス情報と関数格納エリア 1 3 の格納情報の変更・追加が可能となり、CPU 4 に変更後の所望の制御動作を行わせることが可能となる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 6 2 3 1]

1. 変更年月日 1 9 9 0 年 8 月 2 8 日

[変更理由] 新規登録

住 所 京都府長岡京市天神二丁目 2 6 番 1 0 号
氏 名 株式会社村田製作所